



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06067846 A**(43) Date of publication of application: **11 . 03 . 94**

(51) Int. Cl.

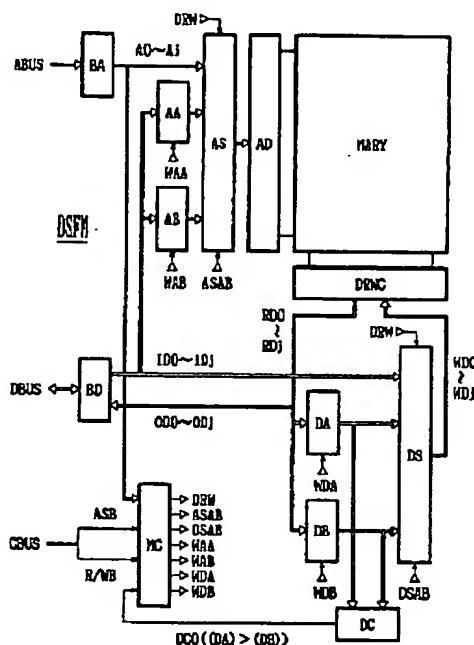
G06F 7/24
G06F 12/00(21) Application number: **04240100**(22) Date of filing: **18 . 08 . 92**(71) Applicant: **HITACHI LTD HITACHI VLSI ENG CORP**(72) Inventor: **OOKUBO CHIKAO**
KIKUCHI TAKASHI**(54) SEMICONDUCTOR MEMORY**

(57) Abstract:

PURPOSE: To shorten time required for the sorting processing of a computer or the like having a bubble sorting function and to improve its sorting capacity.

CONSTITUTION: A random access memory, i.e., a memory DSFM with a sorting function, prepared as a memory for storing sorting data is provided with a data comparator(DC) for mutually comparing the volume of sorting data read out from two adjacent addresses and stored in respective data registers DA, DB and a data selector DS for selectively substituting these sorting data in accordance with the compared result. Consequently bus access frequency necessary for the reading/compared/substituting processing of two sorting data is reduced, the occupied time of a central processing time(CPU) and a system bus is shortened, the sorting processing time of the computer is shortened, and its processing capacity can be improved.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-67846

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/24		9188-5B		
12/00	5 6 1	9366-5B		

審査請求 未請求 請求項の数6(全17頁)

(21)出願番号 特願平4-240100

(22)出願日 平成4年(1992)8月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 大久保 京夫

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 徳若 光政

最終頁に続く

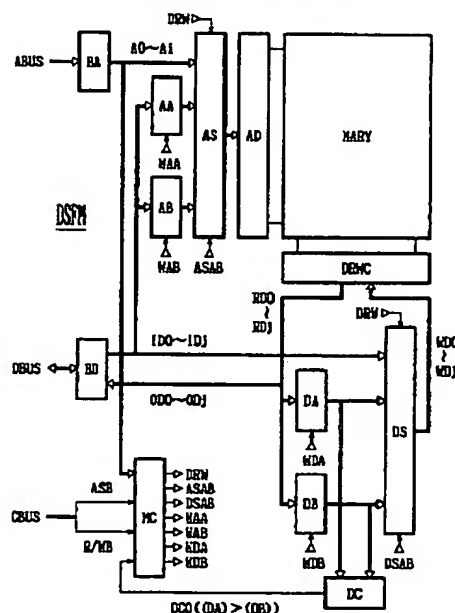
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 バブルソート処理に適した新しい機能を有する半導体記憶装置を実現する。これにより、バブルソート機能を有するコンピュータ等のソート処理に要する時間を短縮し、その処理能力を高める。

【構成】 ソートデータを格納するためのメモリとして設けられるランダムアクセスメモリつまりソート機能付メモリDSFMに、隣接する二つのアドレスから読み出されデータレジスタDA及びDBによって保持されるソートデータの大きさを比較するデータ比較回路DCと、その比較結果に従ってこれらのソートデータを選択的に入れ換えるデータセクタDSとを設ける。これにより、二つのソートデータの読み出し・比較・入れ換え処理のために必要なバスアクセス回数を削減し、中央処理装置及びシステムバスの専有時間を短縮して、コンピュータのソート処理時間を短縮し、その処理能力を高めることができる。

図2 ソート機能付メモリブロック図(実施例1)



【特許請求の範囲】

【請求項1】 第1及び第2のアドレスからそれぞれ読み出される第1及び第2の記憶データの大きさを比較し、その結果に従って選択的にこれらを入れ換えることを特徴とする半導体記憶装置。

【請求項2】 上記半導体記憶装置は、上記第1の記憶データが上記第2の記憶データより大きいとき、上記第1の記憶データを上記第2のアドレスにまた上記第2の記憶データを上記第1のアドレスにそれぞれ格納するものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記半導体記憶装置は、上記第1及び第2の記憶データをそれぞれ保持する第1及び第2のデータレジスタを備えるものであって、上記第1の記憶データが上記第2の記憶データより大きいとき、上記第2の記憶データを上記第1のアドレスにまた上記第1の記憶データを上記第2のデータレジスタにそれぞれ格納するものであることを特徴とする請求項1の半導体記憶装置。

【請求項4】 上記記憶データは、 $m \times n$ ビットからなるものであり、上記半導体記憶装置は、上記記憶データの n ビットごとに対応して設けられる m 個からなるものであって、上記 m 個の半導体記憶装置のそれぞれは、その内部における上記第1及び第2の記憶データの対応する n ビットの比較結果と上位ビットの記憶データを受ける他の半導体記憶装置における上記第1及び第2の記憶データの他の n ビットの比較結果とに従って選択的に上記第1及び第2の記憶データの対応する n ビットを入れ換えるものであることを特徴とする請求項1、請求項2又は請求項3の半導体記憶装置。

【請求項5】 上記第1及び第2のアドレスは、常に連続するアドレスであって、上記半導体記憶装置は、奇数アドレスに対応して設けられる第1のメモリアレイと、偶数アドレスに対応して設けられかつ上記第1のメモリアレイと同時にアクセスされる第2のメモリアレイとを具備するものであることを特徴とする請求項1、請求項2、請求項3又は請求項4の半導体記憶装置。

【請求項6】 上記半導体記憶装置は、上記第1及び第2のアドレスを順次生成するアドレスレジスタカウンタを具備するものであり、指定される複数のアドレスに格納される複数の記憶データの大きさを順次二つずつ比較して選択的に入れ換え、大きさ順に並び換えるものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体記憶装置に関し、例えば、バブルソート機能を有するコンピュータにソートデータを格納するためのメモリとして設けられるランダムアクセスメモリ等に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】隣接するアドレスに格納される二つの記憶データを順次読み出しその大きさを比較して選択的に入れ換えることで、指定されるアドレス領域に格納される複数の記憶データを大きさ順に並び換えるいわゆるバブルソート方式があり、このようなバブルソート機能を有するコンピュータがある。

【0003】バブルソート方式については、例えば、1990年10月31日、森北出版株式会社発行の「電気工学入門シリーズ 15 アルゴリズムとデータ構造」第61頁～第64頁等に記載されている。

【0004】

【発明が解決しようとする課題】バブルソート機能を有する従来のコンピュータにおいて、ソート処理を受けるデータは、例えば予めメインメモリの所定のアドレス領域に格納され、システムバスを介して順次二つずつ中央処理装置に読み出される。中央処理装置は、これらのソートデータの大きさを比較し、その結果に従って選択的に入れ換えた後、システムバスを介してメインメモリに書き込みする。つまり、バブルソート機能を有する従来のコンピュータでは、ソートデータの読み出し・比較・入れ換え及び書き込みがすべてソフトウェアの指示に従って実行され、これらの処理ステップのそれぞれにおいて中央処理装置及びシステムバスが専有される。このため、ソート処理に要する時間が、バスサイクルによる制約を受けて長くなるとともに、ソート処理が行われる間、中央処理装置は他の処理に移行できず、相応してコンピュータの処理能力が低下する。

【0005】この発明の目的は、バブルソート方式等のソート処理に適した新しい機能を有するランダムアクセスメモリ等の半導体記憶装置を提供することにある。この発明の他の目的は、バブルソート機能を有するコンピュータ等のソート処理に要する時間を短縮し、その処理能力を高めることにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、バブルソート機能を有するコンピュータ等にソートデータを格納するためのメモリとして設けられるランダムアクセスメモリ等に、隣接するアドレスから読み出される二つの記憶データの大きさを比較し、その結果に従って選択的にこれらを入れ換える機能を持たせる。また、このランダムアクセスメモリ等に、アドレスを自律的に生成するアドレスレジスタカウンタを設け、指定されるアドレス領域に格納される複数の記憶データの大きさを順次二つずつ比較し選択的に入れ換えて、大きさ順に並び換える機能を持たせる。

【0008】

【作用】上記手段によれば、二つのソートデータが格納されるアドレスを指定し、あるいは一連のソートデータが格納されるアドレス領域を指定するだけで、バブルソート方式によるソート処理をハードウェア的に実行することができる。これにより、バブルソート処理にともなうコンピュータのバスアクセス回数を削減し、中央処理装置及びシステムバスの専有時間を短縮することができる。この結果、バブルソート機能を有するコンピュータ等のソート処理に要する時間を短縮できるとともに、その処理能力を高めることができる。

【0009】

【実施例】図1には、この発明が適用されたランダムアクセスメモリつまりソート機能付メモリを含むコンピュータの一実施例のシステム構成図が示されている。同図をもとに、まずこの実施例のソート機能付メモリを含むコンピュータの構成及び動作の概要について説明する。

【0010】図1において、この実施例のコンピュータは、特に制限されないが、いわゆるストアドプログラム方式の中央処理装置CPUと、アドレスバスABUS及びデータバスDBUSならびにコントロールバスCBUSを介して上記中央処理装置CPUに結合されるメインメモリMM及びソート機能付メモリDSFMならびに図示されない入出力装置IOEとを備える。

【0011】ここで、中央処理装置CPUは、メインメモリMM又は図示されないリードオンリーメモリに格納されるプログラムに従ってステップ制御され、所定の演算処理を実行するとともに、コンピュータの各部を制御・統括する。この実施例において、中央処理装置CPUは、バブルソート機能を有する。このバブルソート処理において、中央処理装置CPUは、まずソート処理の対象となる複数のソートデータをメインメモリMMからソート機能付メモリDSFMに転送した後、ソート機能付メモリDSFMに対してこれらのソートデータの中から二つを順次読み出しその大きさを比較するための指示を与える。

【0012】一方、メインメモリMMは、特に制限されないが、例えば比較的大きな記憶容量を有するスタティック型RAM（ランダムアクセスメモリ）からなり、中央処理装置CPUのステップ制御に必要なプログラムや演算データならびにその演算結果等を一時的に格納する。また、ソート機能付メモリDSFMは、例えば比較的小さな記憶容量のスタティック型RAMを基本に構成され、中央処理装置CPUによるソート処理の対象となる複数のソートデータを保持する。この実施例において、ソート機能付メモリDSFMは、後述するように、中央処理装置CPUの指示に従って隣接するアドレスに格納された二つのソートデータを順次読み出しその大きさを比較して、選択的に入れ換える機能を備える。

【0013】図2には、図1のコンピュータに含まれる

ソート機能付メモリDSFMの一実施例のブロック図が示され、図3には、そのソート処理の一実施例の処理フロー図が示されている。また、図4には、図1のコンピュータの一実施例のアドレス割付図が示され、図5には、そのソート処理の一実施例のタイムチャートが示されている。これらの図をもとに、この実施例のソート機能付メモリの構成及びソート処理の概要ならびにその特徴について説明する。なお、図2の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。

【0014】図2において、この実施例のソート機能付メモリDSFMは、その半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成とする。このメモリアレイMARYは、 $i+1$ ビットのアドレス信号 $A_0 \sim A_i$ のうち所定の k ビットによって択一的に指定される2の k 乗のアドレス空間を備え、対応するアドレスが択一的に指定されることでそれぞれ選択的に選択状態とされる $j+1$ 個、つまり合計2の k 乗 $\times (j+1)$ 個のメモリセルを備える。

【0015】ソート機能付メモリDSFMには、アドレスバスABUSからアドレスバッファBAを介して $i+1$ ビットのアドレス信号 $A_0 \sim A_i$ が供給され、データバスDBUSからデータバッファBDを介して $j+1$ ビットのデータが入力される。また、コントロールバスCBUSを介して、起動制御信号となるアドレスストローブ信号ASB及びリードライト信号R/WBが供給される。このうち、アドレス信号 $A_0 \sim A_i$ の所定の k ビットは、前述のように、メモリアレイMARYのアドレス空間を択一的に指定するための選択信号としてアドレスセクタASの第1の入力端子に供給され、他の所定ビットは、ソート機能付メモリDSFMの動作モードを設定するための選択信号としてメモリ制御回路MCに供給される。また、データバッファBDを介して入力される $j+1$ ビットのデータは、アドレスレジスタAA及びABに供給されるとともに、直接データセクタDSの第1の入力端子に供給される。起動制御信号となるアドレスストローブ信号ASB及びリードライト信号R/WBは、メモリ制御回路MCに供給される。なお、データバスDBUSには、後述するように、ソート機能付メモリDSFMがソートデータライトモードとされるとき、 $j+1$ ビットの入力データID $0 \sim ID_j$ が入力されるが、ソート機能付メモリDSFMがアドレスレジスタAAライトモード又はアドレスレジスタABライトモードとされるときには、ソート処理を受ける二つのソートデータのアドレスが入力される。

【0016】アドレスレジスタAAは、ソート機能付メモリDSFMがアドレスレジスタAAライトモードとされ内部制御信号WAがハイレベルとされるとき、データバッファBDを介して入力される一方のソートデータ

10

20

30

40

50

つまり第1の記憶データのアドレスつまり第1のアドレスを取り込み・保持する。また、アドレスレジスタABは、ソート機能付メモリDSFMがアドレスレジスタABライトモードとされ内部制御信号WABがハイレベルとされるとき、データバッファBDを介して入力される他方のソートデータつまり第2の記憶データのアドレスつまり第2のアドレスを取り込み・保持する。これらのアドレスレジスタAA及びABによって保持される第1及び第2のアドレスは、アドレスセクタASの第2及び第3の入力端子にそれぞれ供給される。

【0017】アドレスセクタASは、ソート機能付メモリDSFMがソートデータリードモード又はソートデータライトモードとされ内部制御信号DRWがハイレベルとされるとき、アドレスバッファBAを介して入力されるアドレス信号A0～Aiの所定のkビットを選択して、アドレスデコーダADに伝達する。また、ソート機能付メモリDSFMがアドレスレジスタAAライトモード又はアドレスレジスタABライトモードとされ内部制御信号DRWがロウレベルとされるとき、内部制御信号ASABがロウレベルとされるときを条件にアドレスレジスタAAによって保持される第1のアドレスを、また内部制御信号ASABがハイレベルであることを条件にアドレスレジスタABによって保持される第2のアドレスをそれぞれ選択して、アドレスデコーダADに伝達する。アドレスデコーダADは、アドレスセクタASを介して選択的に供給されるkビットのアドレス信号をデコードして、メモリアレイMARYの対応するj+1個のメモリセルを選択的にデータリードライト回路DRWCに接続する。

【0018】データリードライト回路DRWCには、データセクタDSを介してj+1ビットの書き込みデータWD0～WDjが供給され、その読み出しデータRD0～RDjは、データバッファBDに供給されるとともに、データレジスタDA（第1のデータレジスタ）及びDB（第2のデータレジスタ）に供給される。データレジスタDAは、ソート機能付メモリDSFMがアドレスレジスタAAライトモードとされ内部制御信号WDAがハイレベルとされるとき、メモリアレイMARYの選択されたj+1個のメモリセルからデータリードライト回路DRWCを介して出力される読み出しデータRD0～RDjを取り込み、保持する。同様に、データレジスタDBは、ソート機能付メモリDSFMがアドレスレジスタABライトモードとされ内部制御信号WDBがハイレベルとされるとき、メモリアレイMARYの選択されたj+1個のメモリセルからデータリードライト回路DRWCを介して出力される読み出しデータRD0～RDjを取り込み、保持する。データレジスタDA及びDBの出力信号は、データセクタDSの第2及び第3の入力端子にそれぞれ供給されるとともに、データ比較回路DCの第1及び第2の入力端子にそれぞれ供給される。

【0019】データセクタDSは、ソート機能付メモリDSFMがソートデータライトモードとされ内部制御信号DRWがハイレベルとされるとき、データバッファBDを介して入力される入力データID0～IDjを選択し、書き込みデータWD0～WDjとしてデータリードライト回路DRWCに伝達する。また、後述するように、ソート機能付メモリDSFMがアドレスレジスタABライトモードとされ内部制御信号DRWがロウレベルとされるとき、内部制御信号DSABがロウレベルであることを条件にデータレジスタDAによって保持される一方のソートデータを、またハイレベルであることを条件にデータレジスタDBによって保持される他方のソートデータをそれぞれ選択し、書き込みデータWD0～WDjとしてデータリードライト回路DRWCに伝達する。

【0020】一方、データ比較回路DCは、データレジスタDA及びDBによって保持される二つのソートデータの大きさを比較し、データレジスタDAによって保持されるソートデータ（DA）（ここで、例えばデータレジスタDAによって保持されるデータ等については、

（DA）のように、それを保持するデータレジスタDA等の名称に括弧を付して表す。したがって、データの格納アドレスが例えばアドレスレジスタAAの保持内容によって指定される場合には、（（AA））のように二重の括弧を付して表す。以下同様）がデータレジスタDBによって保持されるソートデータ（DB）よりも大きいことを条件に、その出力信号DCOを選択的にハイレベルとする。データ比較回路DCの出力信号DCOは、メモリ制御回路MCに供給され、これをもとにソートデータの入れ換え制御のための上記内部制御信号DSABが選択的にハイレベルとされる。

【0021】メモリ制御回路MCは、アドレス信号A0～Aiとアドレスストロブ信号ASB及びリードライト信号R/WBならびにデータ比較回路DCの出力信号DCOとをもとに、上記各種の内部制御信号を選択的に形成し、ソート機能付メモリDSFMの各部に供給する。

【0022】ところで、アドレス信号A0～Aiによって指定されるアドレスバスABUSのアドレス空間は、図4に示されるように、先頭アドレスAfからアドレスAsまでがメインメモリMMのアドレス領域として割り付けられ、アドレスAvからアドレスAyまでがソート機能付メモリDSFMのアドレス領域として、アドレスAzから最終アドレスAeまでが入出力装置IOEのアドレス領域としてそれぞれ割り付けられる。さらに、ソート機能付メモリDSFMに割り付けられるアドレス領域は、アドレスAvからアドレスAwまでがソート処理の対象となるデータを格納するためのソートデータ領域SDATとして割り付けられ、アドレスAx及びAyは、ソート機能付メモリDSFMにより比較される二つ

のソートデータのアドレスを格納するためのアドレスレジスタA及びABに割り付けられる。ソート機能付メモリDSFMのメモリ制御回路MCは、アドレス信号A0~Aiをモニタすることによりバスサイクルごとどのアドレス領域が指定されたかを判定し、ソート機能付メモリDSFMの動作モードを決定する。

【0023】すなわち、メモリ制御回路MCは、アドレス信号A0~Aiの所定ビットによってソートデータ領域SDATが指定されるとき、内部制御信号DRWをハイレベルとし、ソート機能付メモリDSFMの動作モードをソートデータライトモードMSDW又はソートデータリードモードMSDRとする。ソート機能付メモリDSFMは、図3に示されるように、ソートデータライトモードMSDWとされるとき、データバスDBUSを介して入力されるソートデータ(DBUS)をアドレスバスABUSを介して指定されるアドレス(ABUS)に直接書き込む。また、ソートデータリードモードMSDRとされるとき、アドレスバスABUSを介して指定されるアドレス(ABUS)に格納されるソートデータ(ABUS)を直接読み出し、データバスDBUSに送出する。

【0024】一方、メモリ制御回路MCは、アドレス信号A0~Aiの所定ビットによってアドレスレジスタA又はABが指定されるとき、上記内部制御信号DRWをロウレベルとするとともに、内部制御信号WAA又はWABを選択的にハイレベルとし、ソート機能付メモリDSFMの動作モードをアドレスレジスタAライトモードMCWA又はアドレスレジスタABライトモードMCWBとする。ソート機能付メモリDSFMは、図3に示されるように、アドレスレジスタAライトモードMCWAが指定されるとき、データバスDBUSを介して入力されるアドレス(DBUS)をアドレスレジスタAに書き込むとともに、アドレスレジスタAによって指定されるアドレスから対応するソートデータ(AA)を読み出し、データレジスタDAに書き込む。また、アドレスレジスタABライトモードMCWBが指定されるとき、データバスDBUSを介して入力されるアドレス(DBUS)をアドレスレジスタABに書き込むとともに、アドレスレジスタABによって指定されるアドレスから対応するソートデータ(AB)を読み出し、データレジスタDBに書き込む。そして、引き続き、データレジスタDA及びDBによって保持される二つのソートデータの大きさを比較し、その結果に従って選択的にこれらのソートデータの入れ換えを行う。

【0025】すなわち、データレジスタDAによって保持されるソートデータ(DA)がデータレジスタDBによって保持されるソートデータ(DB)より小さくあるいは両者が等しい場合、ソート機能付メモリDSFMは、メモリアレイMARYに対する書き込み動作を実行せず、結果的にこれらのデータを入れ換えない。一方、

データレジスタDAによって保持されるソートデータ(DA)がデータレジスタDBによって保持されるソートデータ(DB)より大きい場合、ソート機能付メモリDSFMは、大きい方のソートデータ(DA)を反対側のアドレス(AB)に書き込み、小さい方のソートデータ(DB)を反対側のアドレス(AA)に書き込んで、これらのデータの入れ換えを行う。しかるに、ソート機能付メモリDSFMによる実質的なソート処理を受けた二つのソートデータは、その大きい方が言わば老番側のアドレスに順次移動され、これらのソート処理が繰り返されることで、一連のソートデータが大きい順に並び換えられる。

【0026】ところで、以上のバブルソート処理を中央処理装置CPU側から見た場合、二つのソートデータに対する1回のソート処理は、図5(a)に示されるように、コマンドフェッチサイクルCFA1の結果としてソート機能付メモリDSFMに対するアドレスレジスタAライトモードMCWAを実行し、次にコマンドフェッチサイクルCFA2の結果としてソート機能付メモリDSFMに対するアドレスレジスタABライトモードMCWBを実行することにより、わずか4回のバスアクセスで終了する。このことは、図5(b)に示されるように、従来のコンピュータでのソフトウェアを中心としたソート処理が、コマンドフェッチサイクルCFB1の結果として一方のソートデータを読み出すメモリリードモードMRAと、コマンドフェッチサイクルCFB2の結果として他方のソートデータを読み出すメモリリードモードMRAと、コマンドフェッチサイクルCFB3の結果として二つのソートデータの大きさを比較するデータ比較モードDCMPと、コマンドフェッチサイクルCFB4の結果として小さい方のソートデータをアドレスAに書き込むメモリライトモードMWAと、コマンドフェッチサイクルCFB5の結果として大きい方のソートデータをアドレスABに書き込むメモリライトモードMWBとからなり、合計10回のバスアクセスを必要とすることに比較すれば、大幅なバスサイクル数の削減となり、相応して中央処理装置及びシステムバスの専有時間を短縮できるものとなる。この結果、バブルソート機能を有するコンピュータ等のソート処理に要する時間を短縮できるとともに、その処理能力を高めることができるものである。

【0027】図6には、この発明が適用されたソート機能付メモリの第2の実施例のブロック図が示されている。なお、この実施例のソート機能付メモリDSFMを構成する4個のソート機能付メモリDSFM1~DSFM4のそれぞれは、前記図2ないし図5のソート機能付メモリDSFMを基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0028】図6において、この実施例のソート機能付メモリDSFMは、特に制限されないが、m個つまり4

個のソート機能付メモリDSFM1~DSFM4からなる。これらのソート機能付メモリDSFM1~DSFM4には、アドレスバスABUSを介して $i+1$ ビットのアドレス信号A0~Aiが共通に供給され、コントロールバスCBUSを介して起動制御信号となるアドレスストロブ信号ASB及びリードライト信号R/WBが共通に供給される。ソート機能付メモリDSFM1には、さらに、データバスDBUSを介して n ビットつまり8ビットのデータD0~D7が供給される。同様に、ソート機能付メモリDSFM2には、データバスDBUSを介して8ビットのデータD8~D15が供給され、ソート機能付メモリDSFM3及びDSFM4には、それぞれ8ビットのデータD16~D23ならびにD24~D31が供給される。つまり、この実施例のコンピュータでは、データバスDBUSが $m \times n$ つまり32ビット構成とされるとともに、ソート機能付メモリDSFMを構成する m 個つまり4個のソート機能付メモリDSFM1~DSFM4がそれぞれ n ビットつまり8ビット構成とされ、データバスDBUSの対応する8ビットに結合されるものとされる。

【0029】ソート機能付メモリDSFM1は、対応する8ビットのソートデータに関して前記図2ないし図5のソート機能付メモリと同様なソートデータの読み出し・比較動作を行う。この結果、そのデータレジスタDAに保持されるソートデータ(DA)がそのデータレジスタDBに保持されるソートデータ(DB)より大きいとき、その第1の入れ換え制御出力信号CA1outをハイレベルとし、小さいときロウレベルとする。また、ソートデータ(DA)及び(DB)が同一値であってこれらのソートデータの入れ換えをソート機能付メモリDSFM1だけでは決定できないとき、その第2の入れ換え制御出力信号CB1outをハイレベルとする。ソート機能付メモリDSFM1の入れ換え制御出力信号CA1out及びCB1outは、入れ換え制御入力信号CA2in及びCB2inとして次段のソート機能付メモリDSFM2に供給される。これらの結果、ソート機能付メモリDSFM1から出力される第1の入れ換え制御出力信号CA1outは、第2の入れ換え制御出力信号CB1outがロウレベルである限りにおいて、後段のソート機能付メモリDSFM2~DSFM4に対する絶対的な入れ換え指示信号とされ、第2の入れ換え制御出力信号CB1outがハイレベルとされるときには、その論理レベルの如何にかかわらず無効とされる。その第1の入れ換え制御出力信号CA1outがハイレベルとされ第2の入れ換え制御出力信号CB1outがロウレベルとされるとき、ソート機能付メモリDSFM1は、対応するソートデータ(DA)及び(DB)の入れ換え処理を実行する。

【0030】次に、ソート機能付メモリDSFM2は、前段のソート機能付メモリDSFM1から出力される第

2の入れ換え制御出力信号CB1outすなわち第2の入れ換え制御入力信号CB2inがロウレベルとされるとき、このソート機能付メモリDSFM1から出力される第1の入れ換え制御出力信号CA1outすなわち第1の入れ換え制御入力信号CA2inを第1の入れ換え制御出力信号CA2outすなわち第1の入れ換え制御入力信号CA3inとして次段のソート機能付メモリDSFM2にそのまま伝達する。また、第2の入れ換え制御入力信号CB2inがハイレベルとされるときには、そのデータレジスタDAに保持されるソートデータ(DA)がそのデータレジスタDBに保持されるソートデータ(DB)より大きいことを条件に、選択的にその第1の入れ換え制御出力信号CA2outをハイレベルとし、ソートデータ(DA)及び(DB)が同一値であってこれらのソートデータの入れ換えをソート機能付メモリDSFM2だけでは決定できない場合には、その第2の入れ換え制御出力信号CB2outをハイレベルとする。ソート機能付メモリDSFM2の入れ換え制御出力信号CA2out及びCB2outは、入れ換え制御入力信号CA3in及びCB3inとして次段のソート機能付メモリDSFM3に供給される。その第1の入れ換え制御出力信号CA2outがハイレベルとされ第2の入れ換え制御出力信号CB2outがロウレベルとされるとき、ソート機能付メモリDSFM2は、対応するソートデータ(DA)及び(DB)の入れ換え処理を実行する。

【0031】同様に、ソート機能付メモリDSFM3は、前段のソート機能付メモリDSFM2から出力される第2の入れ換え制御出力信号CB2outすなわち第2の入れ換え制御入力信号CB3inがロウレベルとされるとき、このソート機能付メモリDSFM2から出力される第1の入れ換え制御出力信号CA2outすなわち第1の入れ換え制御入力信号CA3inを第1の入れ換え制御出力信号CA3outすなわち第1の入れ換え制御入力信号CA3inとして次段のソート機能付メモリDSFM3にそのまま伝達する。また、第2の入れ換え制御入力信号CB3inがハイレベルとされるときには、そのデータレジスタDAに保持されるソートデータ(DA)がそのデータレジスタDBに保持されるソートデータ(DB)より大きいことを条件に、選択的にその第1の入れ換え制御出力信号CA3outをハイレベルとし、ソートデータ(DA)及び(DB)が同一値であってこれらのソートデータの入れ換えをソート機能付メモリDSFM3だけでは決定できない場合には、その第2の入れ換え制御出力信号CB3outをハイレベルとする。ソート機能付メモリDSFM3の入れ換え制御出力信号CA3out及びCB3outは、入れ換え制御入力信号CA4in及びCB4inとして次段のソート機能付メモリDSFM4に供給される。その第1の入れ換え制御出力信号CA3outがハイレベルとされ第2

11

の入れ換え制御出力信号CB3outがロウレベルとされるとき、ソート機能付メモリDSFM3は、対応するソートデータ(DA)及び(DB)の入れ換え処理を実行する。

【0032】ソート機能付メモリDSFM4は、前段のソート機能付メモリDSFM3から出力される第2の入れ換え制御出力信号CB3outすなわち第2の入れ換え制御入力信号CB4inがロウレベルとされるとき、このソート機能付メモリDSFM3から出力される第1の入れ換え制御出力信号CA3outすなわち第1の入れ換え制御入力信号CA4inに従って、選択的に対応するソートデータ(DA)及び(DB)の入れ換え処理を実行する。また、前段のソート機能付メモリDSFM3から出力される第2の入れ換え制御出力信号CB3outすなわち第2の入れ換え制御入力信号CB4inがハイレベルとされるときには、そのデータレジスタDAに保持されるソートデータ(DA)がそのデータレジスタDBに保持されるソートデータ(DB)より大きいことを条件に、選択的に対応するソートデータ(DA)及び(DB)の入れ換え処理を実行する。

【0033】このように、この実施例のソート機能付メモリDSFMでは、これを構成する4個のソート機能付メモリDSFM1~DSFM4がともに8ビット構成とされかつデータバスDBUSが32ビット構成とされるが、上位ビットに対応するソート機能付メモリによるソートデータの比較結果となる入れ換え制御信号が下位ビットに対応するソート機能付メモリに順次伝達されることとていわれるチェーン結合され、問題なくソートデータの入れ換え処理が実行される。

【0034】図7には、この発明が適用されたソート機能付メモリの第3の実施例のブロック図が示されている。なお、この実施例のソート機能付メモリDSFMは、前記図2ないし図5のソート機能付メモリDSFMを基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0035】図7において、この実施例のソート機能付メモリDSFMは、奇数アドレスに対応して設けられるメモリアレイMARYA(第1のメモリアレイ)と、偶数アドレスに対応して設けられるもう一つのメモリアレイMARYB(第2のメモリアレイ)とを備え、さらにこれらのメモリアレイに対応して設けられるアドレスセレクトA SA及びA SBと、アドレスデコーダA DA及びA DBならびにデータリードライト回路DRWCA及びDRWCBを備える。このうち、アドレスセレクトA SAの一方の入力端子には、アドレスバスABUSからアドレスバッファBAを介して所定のアドレス信号が供給され、その他方の入力端子には、アドレスレジスタA Aの出力信号が供給される。同様に、アドレスセレクトA SBの一方の入力端子には、アドレスバスABUSからアドレスバッファBAを介して所定のアドレス信号が

12

供給され、その他方の入力端子には、アドレスレジスタA Bの出力信号が供給される。

【0036】一方、データリードライト回路DRWCAには、データセレクトA DSを介して所定の書き込みデータが供給され、その出力信号すなわち読み出しデータは、データバッファBDに供給されるとともに、対応するデータレジスタDAに供給される。データレジスタDAの出力信号は、データ比較回路DCの一方の入力端子に供給されるとともに、データセレクトA DSの第1の入力端子に供給される。同様に、データリードライト回路DRWCBには、データセレクトA DSを介して所定の書き込みデータが供給され、その出力信号すなわち読み出しデータは、データバッファBDに供給されるとともに、対応するデータレジスタDBに供給される。データレジスタDBの出力信号は、データ比較回路DCの他方の入力端子に供給されるとともに、データセレクトA DSの第3の入力端子に供給される。データセレクトA DSの第2の入力端子には、データバスDBUSからデータバッファBDを介して所定の入力データが供給される。

【0037】この実施例において、アドレスデコーダA DA及びA DBならびにデータリードライト回路DRWCA及びDRWCBを含むメモリアレイMARYA及びMARYBは、常に同時に動作状態とされ、指定された奇数アドレス又は偶数アドレスのメモセルをそれぞれ択一的に選択状態とする。周知のように、バブルソート方式によるソート処理において指定される二つのアドレスは常に隣接するアドレスであって、その一方が奇数アドレスとされるときその他方は必ず偶数アドレスとされる。しかるに、この実施例のソート機能付メモリDSFMでは、奇数アドレスに対応するメモリアレイMARYAと偶数アドレスに対応するメモリアレイMARYBとを設け、これらを常に同時に動作状態とすることで、比較処理の対象となる二つのソートデータを同時に読み出すことができ、これによってソート処理のさらなる高速化を図ることが可能である。

【0038】図8には、この発明が適用されたソート機能付メモリDSFMの第4の実施例のブロック図が示され、図9には、そのソート処理の一実施例の処理フロー図が示されている。なお、この実施例のソート機能付メモリDSFMは、前記図1ないし図5のソート機能付メモリDSFMを基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0039】図8において、この実施例のソート機能付メモリDSFMは、2個のアドレスレジスタカウンタCA及びCBと、1個のソート開始アドレスレジスタFAとを備える。また、アドレスレジスタカウンタCAに対応して設けられるマイナス1回路-1と、アドレスレジスタカウンタCBに対応して設けられるプラス1回路+1とを備え、さらにその第1ないし第3の入力端子にアドレスレジスタカウンタCA及びCBならびにソート開

始アドレスレジスタFAの出力信号をそれぞれ受けるアドレス比較回路ACを備える。アドレスレジスタカウンタCAの一方の入力端子には、データバスDBUSからデータバッファBDを介してソート終了アドレスが供給され、その他方の入力端子には、マイナス1回路-1の出力信号が供給される。一方、アドレスレジスタカウンタCBの第1の入力端子には、プラス1回路+1の出力信号が供給され、その第2の入力端子には、データバスDBUSからデータバッファBDを介してソート開始アドレスが、その第3のアドレスには、ソート開始アドレスレジスタFAの出力信号がそれぞれ供給される。ソート開始アドレスレジスタFAの入力端子には、データバスDBUSからデータバッファBDを介してソート開始アドレスが供給される。アドレス比較回路ACの出力信号ACO1及びACO2は、データ比較回路DCの出力信号DCOとともに、メモリ制御回路MCに供給される。

【0040】なお、アドレス比較回路ACの一方の出力信号ACO1は、アドレスレジスタカウンタCAの保持内容(CA)とアドレスレジスタカウンタCBの保持内容(CB)とが一致したとき、選択的にハイレベルとされる。また、アドレス比較回路ACの他方の出力信号ACO2は、アドレスレジスタカウンタCAの保持内容(CA)とソート開始アドレスレジスタFAによって保持されるソート開始アドレス(FA)とが一致したとき、選択的にハイレベルとされる。

【0041】この実施例において、コンピュータを構成する中央処理装置CPUは、図9に示されるように、ソート処理開始に先立って、ソート開始アドレスライトサイクルを実行し、次にソート終了アドレスライトサイクルを実行する。そして、ソート処理の種類を指定するためのソートコマンドライトサイクルを実行し、ソート機能付メモリDSFMにソート処理を開始させる。その後、中央処理装置CPUはソート処理から一時的に解放され、他の処理に移行できる。

【0042】ソート機能付メモリDSFMでは、ソート開始アドレスライトサイクルの実行を受けて、中央処理装置CPUから供給されるソート開始アドレスをソート開始アドレスレジスタFA及びアドレスレジスタカウンタCBの両方に書き込む。また、ソート終了アドレスライトサイクルの実行を受けて、中央処理装置CPUから供給されるソート終了アドレスをアドレスレジスタカウンタCAに書き込む。そして、ソートコマンドライトサイクルの実行を受けて、中央処理装置CPUから供給されるソートコマンドを図示されないコントロールレジスタに書き込んだ後、以下のようなソート処理を開始する。

【0043】すなわち、ソート機能付メモリDSFMでは、まずアドレスレジスタカウンタCBにより指定されるアドレス(CB)からその記憶データすなわちソート

データ((CB))が読み出され、データレジスタDAに格納される。また、アドレスレジスタカウンタCBの出力信号を受けるプラス1回路+1によって指定されるアドレス(CB)+1からソートデータ((CB)+1)が読み出され、データレジスタDBに格納される。これらのソートデータは、データ比較回路DCによってその大きさが比較され、これによってデータ比較回路DCの出力信号DCOが選択的にハイレベルとされる。この結果、データレジスタDAによって保持されるソートデータ(DA)がデータレジスタDBによって保持されるソートデータ(DB)より小さくあるいは等しい値とされるとき、ソートデータ(DA)の入れ換え処理は行われず、大きい方のソートデータ(DB)がデータレジスタDAに転送される。

【0044】一方、ソートデータ(DA)がソートデータ(DB)より大きいとき、小さい方のソートデータ(DB)がアドレスレジスタカウンタCBにより指定されるアドレス(CB)つまりはそれまでソートデータ(DA)が格納されていたアドレスに書き込まれ、これによってソートデータ(DA)及び(DB)の入れ換え処理が行われる。このとき、大きい方のソートデータ(DA)は、そのままデータレジスタDAによって保持され、次のソート処理を待つ。

【0045】第1回目のソート処理を終えたソート機能付メモリDSFMでは、アドレスレジスタカウンタCBにプラス1回路+1の出力信号が取り込まれ、その保持内容がカウントアップされる。そして、アドレス比較回路ACにより、アドレスレジスタカウンタCBの保持内容(CB)とアドレスレジスタカウンタCAの保持内容すなわちソート終了アドレス(CA)との比較照合が行われる。この結果、アドレスレジスタカウンタCBの保持内容(CB)がソート終了アドレス(CA)に達していない場合、アドレス(CB)+1すなわち第3のソートデータの読み出しから上記処理が繰り返される。これにより、最大値のソートデータだけが最後まで残され、最終的にデータレジスタDAによって保持される。

【0046】次に、アドレスレジスタカウンタCBの保持内容(CB)がアドレスレジスタカウンタCAの保持内容すなわちソート終了アドレス(CA)に達すると、データレジスタDAによって保持される最大のソートデータ(DA)がソート終了アドレス(CA)に書き込まれた後、アドレスレジスタカウンタCAにマイナス1回路-1の出力信号が取り込まれ、その保持内容がカウントダウンされる。そして、アドレス比較回路ACにより、アドレスレジスタカウンタCAの保持内容(CA)とソート開始アドレスレジスタFAの保持内容すなわちソート開始アドレス(FA)との比較照合が行われる。この結果、アドレスレジスタカウンタCAの保持内容(CA)がソート開始アドレス(FA)に達していない場合、ソート開始アドレス(FA)が再びアドレスレジ

スタカウンタCBに取り込まれ、ソート開始アドレスのソートデータの読み出しから上記処理が繰り返される。このとき、データレジスタDAに残される最大のソートデータは、アドレスレジスタカウンタCAによって指定されるソート終了アドレスつまりは実際のソート終了アドレスからカウントダウンされたアドレスに順次書き込まれる。

【0047】アドレスレジスタカウンタCAの保持内容(CA)すなわち実質的なソート終了アドレスがソート開始アドレス(FA)に達すると、ソート機能付メモリDSFMは、すべてのソート処理を終了し、中央処理装置CPUに対して割込み要求を発生する。これにより、中央処理装置CPUは、実行中であった他の処理を中断し、割込み処理によってこの割込み要求がソート機能付メモリDSFMからのものであることを識別し、ソート終結処理に移行する。

【0048】以上のように、この実施例のソート機能付メモリDSFMを用いた場合、中央処理装置CPUは、ソート処理開始に先立って、ソート開始アドレス及びソート終了アドレスをそれぞれ指定するためのソート開始アドレスライトサイクル及びソート終了アドレスライトサイクルと、ソート処理の種類及び開始を指定するためのソートコマンドライトサイクルとを実行し、ソート処理終了時には、ソート機能付メモリDSFMからの割込み要求を待ってソート終結処理を開始すればよい。したがって、中央処理装置CPUは、ソート機能付メモリDSFMによる一連のソート処理が行われる間ソート処理から解放され、他の処理を実行できる。この結果、ソート処理のためのバスアクセス回数がさらに削減され、ソート処理に要する時間が短縮されるとともに、ソート処理にともなう中央処理装置CPU及びシステムバスの専有時間がさらに短縮され、中央処理装置CPUつまりはコンピュータの処理能力が高められるものとなる。

【0049】以上の複数の実施例に示されるように、この発明をバブルソート機能を有するコンピュータ等にソートデータを格納するためのメモリとして設けられるランダムアクセスメモリ等の半導体記憶装置に適用することで、次のような作用効果が得られる。すなわち、

(1) バブルソート機能を有するコンピュータ等にソートデータを格納するためのメモリとして設けられるランダムアクセスメモリ等に、隣接するアドレスから読み出される二つの記憶データの大きさを比較し、その結果に従って選択的にこれらを入れ換える機能を持たせることで、ソート処理の対象となる二つのソートデータの読み出し・比較・入れ換え処理を、ソフトウェアの介入を必要とすることなくハードウェア的に実行できるという効果が得られる。

【0050】(2) 上記(1)項において、ソート機能付メモリをnビット構成のm個のソート機能付メモリにより構成し、上位のソート機能付メモリの入れ換え制御

信号をチェーン結合によって下位のソート機能付メモリに順次伝達することで、 $m \times n$ ビットのシステムバスに対応しうるソート機能付メモリを実現することができるという効果が得られる。

(3) 上記(1)項及び(2)項において、ソート機能付メモリに、奇数及び偶数アドレスにそれぞれ対応する2個のメモリアレイを設け、これらを同時に動作状態とすることで、ソート機能付メモリによるソートデータの読み出し動作を高速化し、そのソート処理をさらに高速化できるという効果が得られる。

(4) 上記(1)項ないし(3)項において、ランダムアクセスメモリ等に、アドレスを自律的に生成するアドレスレジスタカウンタを設け、指定されるアドレス領域に格納される複数の記憶データの大きさを順次二つずつ比較し選択的に入れ換えて、大きさ順に並び換える機能を持たせることで、一連のソートデータが格納されるアドレス領域を指定するだけで、バブルソート方式によるソート処理をハードウェア的に実行できるという効果が得られる。

【0051】(5) 上記(1)項ないし(4)項により、ソート処理にともなうコンピュータのバスアクセス回数を削減し、中央処理装置及びシステムバスの専有時間を短縮できるという効果が得られる。

(6) 上記(1)項ないし(5)項により、バブルソート方式によるソート機能を有するコンピュータ等のソート処理に要する時間を短縮できるとともに、その処理能力を高めることができるという効果が得られる。

【0052】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、ソート機能付メモリDSFMは、メインメモリMMの一部として設けてもよい。また、コンピュータのシステムバスには、他の各種の周辺デバイスを結合できるし、ソート機能付メモリは、中央処理装置CPUの内部バスに結合してもよい。

【0053】図2において、ソート機能付メモリDSFMのメモリアレイMARYは、複数のサブメモリアレイに分割することができる。また、ソート処理の対象となる二つのソートデータが常に隣接するアドレスに格納されるものであれば、アドレスレジスタABをアドレスレジスタAAの出力を受けるプラス1回路に置き換えてもよい。図2及び図3では、比較される二つのソートデータを毎回もとの二つのアドレスに戻しているが、図8及び図9の場合と同様に、小さい方のソートデータをアドレスレジスタAAによって指定されるアドレスに書き込み、大きい方のソートデータをデータレジスタDAに残すようにしてもよい。

【0054】図6において、ソート機能付メモリDSFM1～DSFM4間で伝達される第1及び第2の入れ換

10

20

30

40

50

え制御信号は、任意の組み合わせで用いることができる。また、ソート機能付メモリDSFMは、データバスDBUSのビット構成に応じて任意数のソート機能付メモリにより構成することができる。

【0055】各実施例において、ソート機能付メモリDSFMによるソート処理は、例えばソートデータを小さい順に並び換えるべく行われるものであってもよいし、二つのソートデータの選択も、例えばソート終了アドレスからソート開始アドレスに向かって順次行ってもよい。さらに、各実施例におけるソート機能付メモリDSFMの具体的構成や内部制御信号の組み合わせならびにソート処理の具体的方法等、種々の実施形態を採りうる。

【0056】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるバブルソート機能を有するコンピュータ等に含まれるランダムアクセスメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なバブルソート機能を有する各種のデジタル処理装置に含まれるものやバブルソート機能を有するソート機能付メモリとして単体で形成されるものにも適用できる。この発明は、少なくともソート機能を有することが効果的とされる半導体記憶装置ならびにこのような半導体記憶装置を含むデジタル装置に広く適用できる。

【0057】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、バブルソート機能を有するコンピュータ等にソートデータを格納するためのメモリとして設けられるランダムアクセスメモリ等に、隣接するアドレスから読み出される二つの記憶データの大きさを比較し、その結果に従って選択的にこれらを入れ換える機能を持たせるとともに、このランダムアクセスメモリ等に、アドレスを自律的に生成するアドレスレジスタカウンタを設け、指定されるアドレス領域に格納される複数の記憶データの大きさを順次二つずつ比較し選択的に入れ換えて、大きさ順に並び換える機能を持たせることで、二つのソートデータが格納されるアドレスを指定し、あるいは一連のソートデータが格納されるアドレス領域を指定するだけで、バブルソート処理をハードウェア的に実行できるため、ソート処理にともなうコンピュータのバスアクセス回数を削減し、中央処理装置及びシステムバスの専有時間を短縮できる。この結果、バブル

ソート機能を有するコンピュータ等のソート処理時間を短縮できるとともに、その処理能力を高めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたソート機能付メモリを含むコンピュータの一実施例を示すシステム構成図である。

【図2】この発明が適用されたソート機能付メモリの第1の実施例を示すブロック図である。

10 【図3】図2のソート機能付メモリにおけるソート処理の一実施例を示す処理フロー図である。

【図4】図1のコンピュータの一実施例を示すアドレス割付図である。

【図5】図1のコンピュータにおけるソート処理の一実施例を示すタイムチャートである。

【図6】この発明が適用されたソート機能付メモリの第2の実施例を示すブロック図である。

【図7】この発明が適用されたソート機能付メモリの第3の実施例を示すブロック図である。

20 【図8】この発明が適用されたソート機能付メモリの第4の実施例を示すブロック図である。

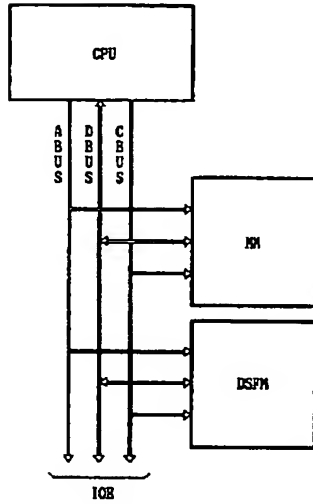
【図9】図9のソート機能付メモリにおけるソート処理の一実施例を示す処理フロー図である。

【符号の説明】

CPU・・・中央処理装置、ABUS・・・アドレスバス、DBUS・・・データバス、CBUS・・・コントロールバス、MM・・・メインメモリ、DSFM・・・ソート機能付メモリ、IOE・・・入出力装置。MARY・・・メモリアレイ、AD・・・アドレスデコーダ、AS・・・アドレスセクタ、AA～AB・・・アドレスレジスタ、BA・・・アドレスバッファ、DRWC・・・データリードライト回路、DA～DB・・・データレジスタ、DS・・・データセクタ、DC・・・データ比較回路、BD・・・データバッファ、MC・・・メモリ制御回路。SDAT・・・ソートデータ。DSFM1～DSFM4・・・ソート機能付メモリ。MARYA～MARYB・・・メモリアレイ、ADA～ADB・・・アドレスデコーダ、ASA～ASB・・・アドレスセクタ、DRWCA～DRWCB・・・データリードライト回路。CA～CB・・・アドレスレジスタカウンタ、+1・・・プラス1回路、-1・・・マイナス1回路、FA・・・ソート開始アドレスレジスタ、AC・・・アドレス比較回路。

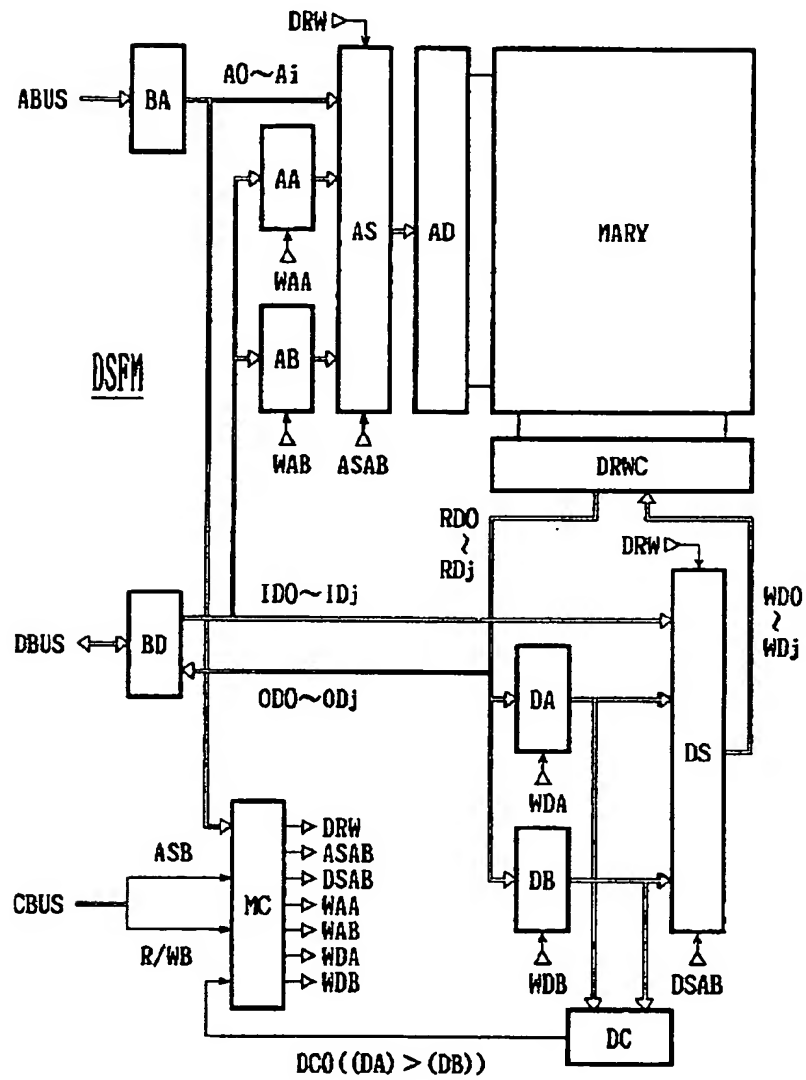
【図1】

図1 コンピュータシステム構成図



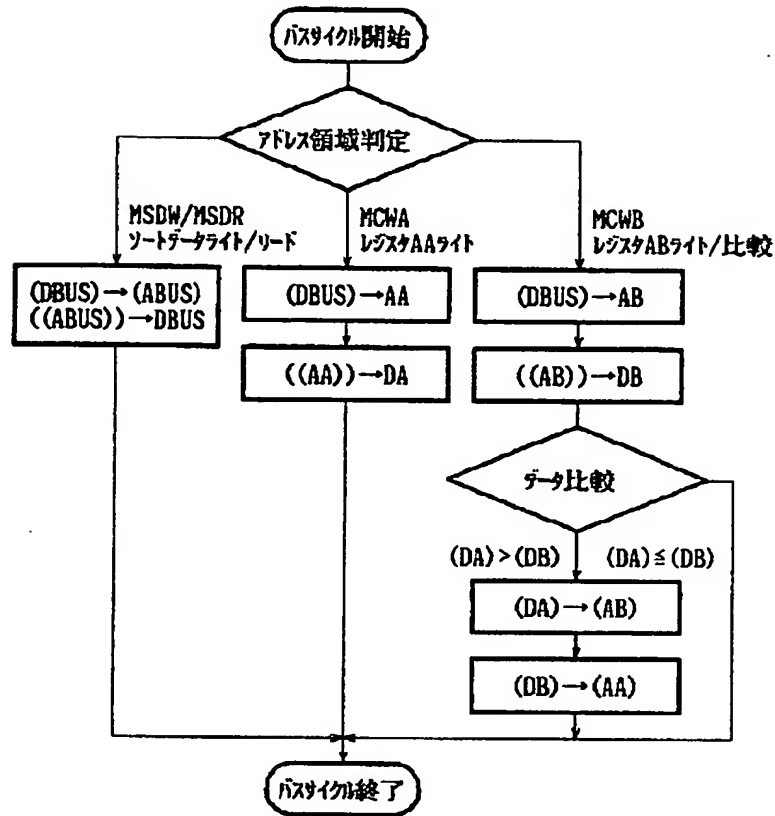
【図2】

図2 ソート機能付メモリブロック図 (実施例1)



【図3】

図3

ソート機能付メモリ処理フロー (実施例1)

【図5】

図5

ソート処理タイムチャート

(a) 本発明

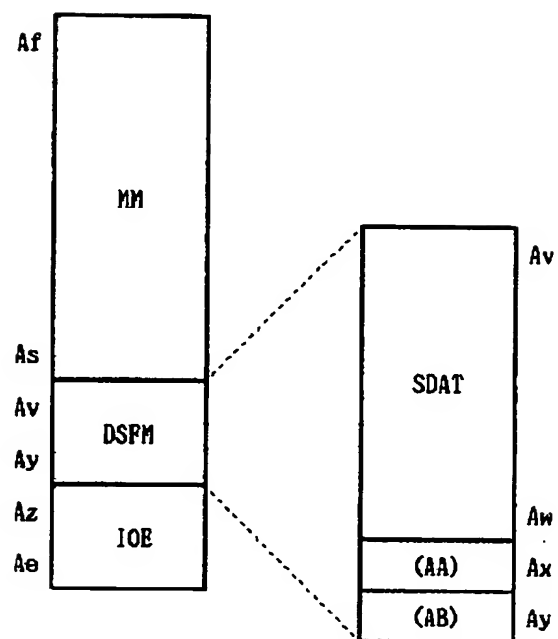


(b) 従来例



【図4】

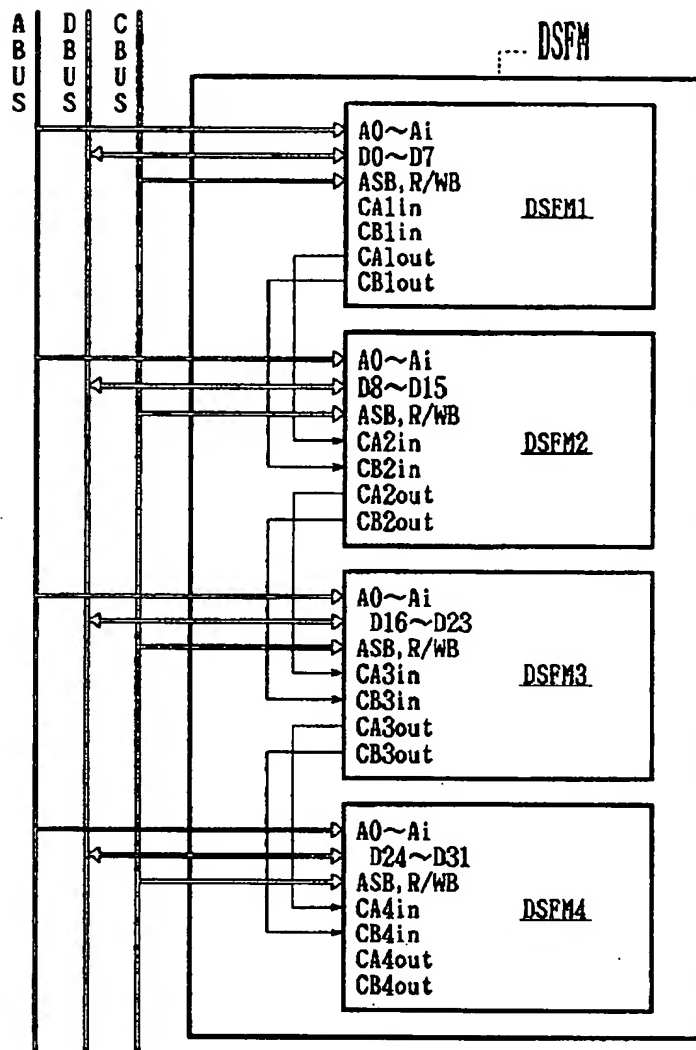
図4 システムアドレス割付図



【図6】

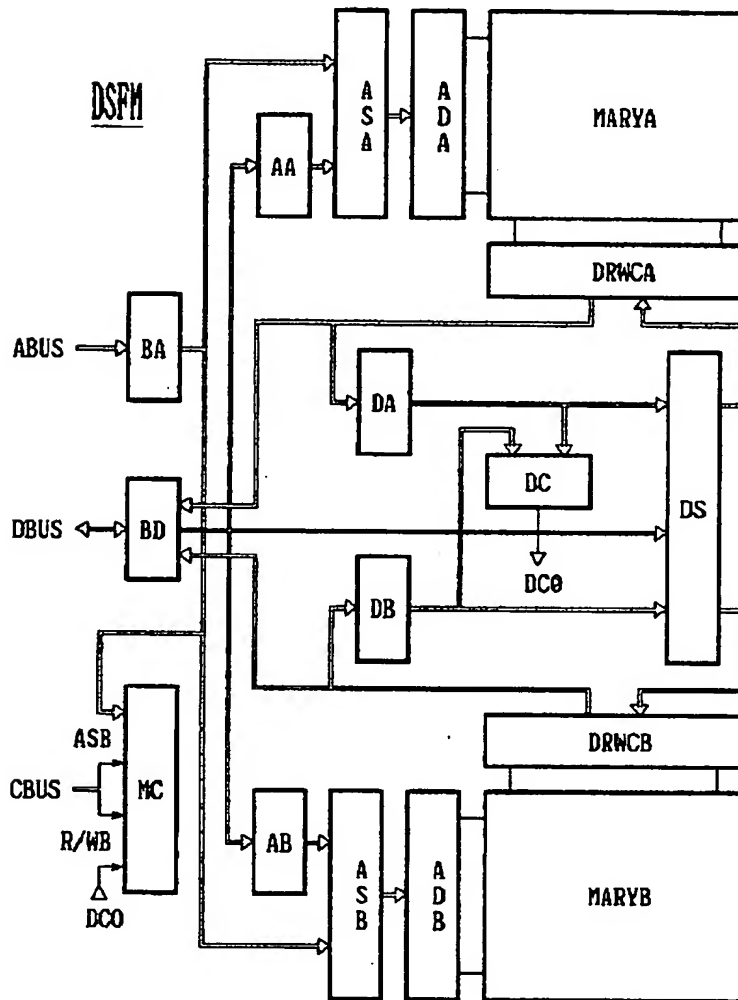
図6

ソート機能付メモリブロック図 (実施例2)



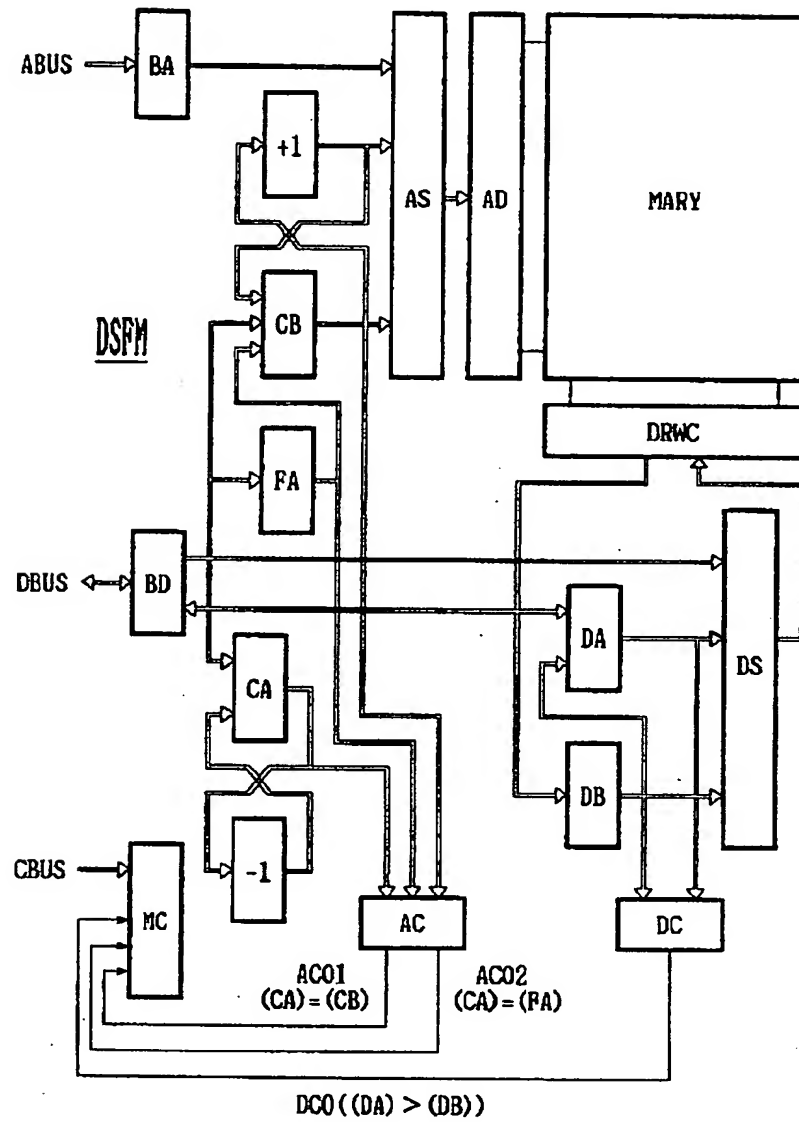
【図7】

図7 ソート機能付メモリブロック図 (実施例3)



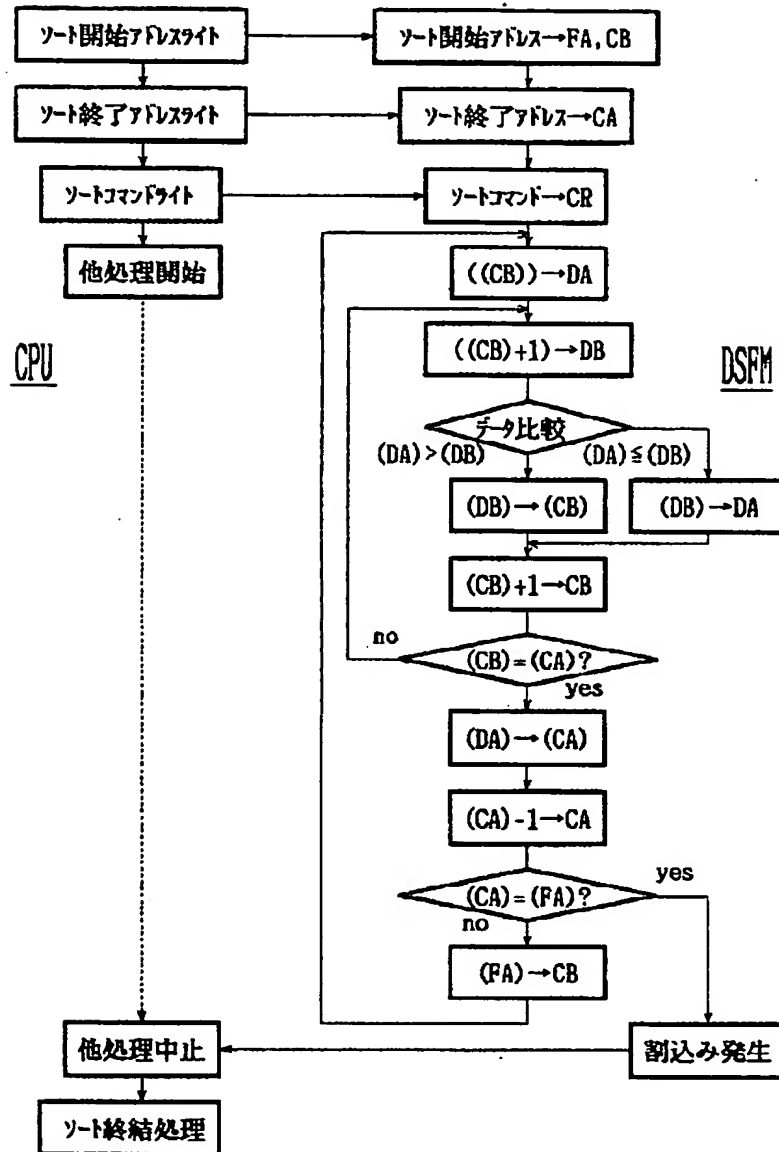
【図8】

図8 ソート機能付メモリブロック図 (実施例4)



【図9】

図9 ソート機能付メモリ処理フロー (実施例4)



フロントページの続き

(72)発明者 菊池 隆
 東京都小平市上水本町5丁目20番1号 日
 立超エル・エス・アイ・エンジニアリング
 株式会社内